

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000059329 A

(43) Date of publication of application: 25 . 02 . 00

(51) Int. Cl

H04J 11/00

// H04L 27/00

(21) Application number: 10224985

(71) Applicant: NIPPON TELEGR & TELEPH CORP
<NTT>

(22) Date of filing: 07 . 08 . 98

(72) Inventor: MATSUMOTO YOICHI
MUNEDA SATOSHI
MOCHIZUKI NOBUAKI
UMEHIRA MASAHIRO

(54) OFDM MODULATION CIRCUIT AND OFDM DEMODULATION CIRCUIT

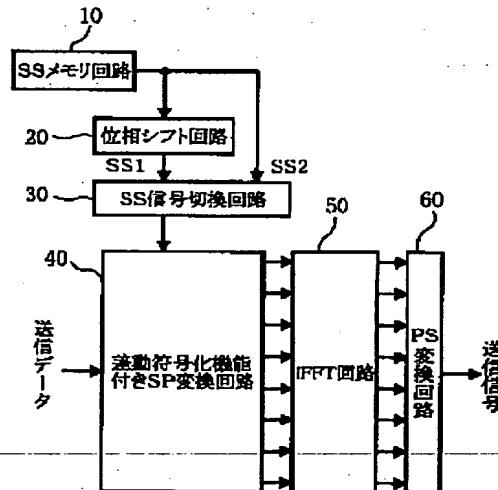
transmitted after inverse fast Fourier transform, P/S conversion and D/A conversion.

(57) Abstract:

COPYRIGHT: (C)2000,JPO

PROBLEM TO BE SOLVED: To provide additional information without being delayed at a burst leading section by successively outputting signals SS1 and SS2, which are provided by shifting the output signal SS2 of an SS memory circuit at a fixed angle over the prescribed time of the burst leading section, without differentially encoding them, and performing the parallel/serial(P/S) conversion of a differentially encoded signal distributed for each sub carrier.

SOLUTION: The output SS2 from an SS memory circuit 10 and the signal SS1 for shifting the signal SS2 at the fixed angle through a phase shift circuit 20 are inputted to an SS signal switching circuit 30 and at this time, the additional information such as control information is contained. The SS signal switching circuit 30 outputs the signal SS1 at the burst leading section and continuously outputs the signal SS2 without differentially encoding than. An S/P converting circuit 40 with operation encoding function differentially encodes the signals distributed from the input signal for each sub carrier with the signal SS2 as an initial value. The differentially encoded signals are



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-59329

(P2000-59329A)

(43)公開日 平成12年2月25日 (2000.2.25)

(51)Int.Cl.
H 04 J 11/00
// H 04 L 27/00

識別記号

F I
H 04 J 11/00
H 04 L 27/00

テマコード(参考)
Z 5 K 0 0 4
Z 5 K 0 2 2

審査請求 有 請求項の数3 OL (全9頁)

(21)出願番号 特願平10-224985
(22)出願日 平成10年8月7日(1998.8.7)

(71)出願人 000004226
日本電信電話株式会社
東京都千代田区大手町二丁目3番1号
(72)発明者 松本 洋一
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内
(72)発明者 宗田 哲志
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内
(74)代理人 100064908
弁理士 志賀 正武

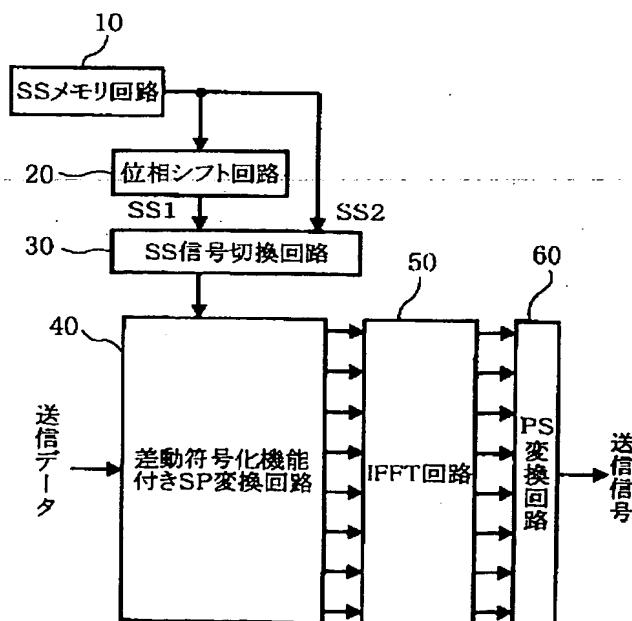
最終頁に続く

(54)【発明の名称】 OFDM変調回路およびOFDM復調回路

(57)【要約】

【課題】受信側においてバースト先頭部分で遅延を伴わずに付加情報を得ることができるOFDM変調回路および復調回路を提供する。

【解決手段】OFDM変調回路を、差動符号化のスタートシンボル(SS)を記憶するSSメモリ回路10と、スタートシンボルを一定角度シフトさせる位相シフト回路20と、バースト先頭部分においてある特定時間にわたり信号SS1を出力し、信号SS2を一定時間にわたり出力するSS信号切換回路30と、入力信号をOFDMの各サブキャリアに分配するシリアル-パラレル変換、およびバーストの先頭ではSS1とSS2を順に出力し、その後SS2を初期値として以降の入力信号の差動符号化をおこなう、差動符号化機能付きSP変換回路40と、差動符号化された信号を逆高速フーリエ変換するIFFT回路50と、入力信号をパラレル-シリアル変換するPS変換回路60から構成する。



【特許請求の範囲】

【請求項 1】 差動符号化のスタートシンボル (S S) を記憶するスタートシンボル (S S) メモリ回路と、前記 S S メモリ回路に接続され、スタートシンボルを一定角度シフトさせる位相シフト回路と、前記 S S メモリ回路と前記位相シフト回路に接続され、バースト先頭部分においてある特定時間にわたり S S メモリ回路の出力を前記位相シフト回路により一定角度シフトさせて得られる信号 S S 1 を出力し、引き続き前記 S S メモリ回路の出力信号 S S 2 を一定時間にわたり出力する S S 信号切換回路と、前記 S S 信号切換回路に接続され、入力信号を O F D M の各サブキャリアに分配するシリアルーパラレル変換、およびバーストの先頭では S S 1 と S S 2 を順に出力し、その後 S S 2 を初期値として以降の入力信号の差動符号化をおこなう、差動符号化機能付きシリアルーパラレル (S P) 変換回路と、前記差動符号化機能付き S P 変換回路に接続され、差動符号化された信号を逆高速フーリエ変換する逆高速フーリエ変換 (I F F T) 回路と、前記 I F F T 回路に接続され、入力信号をパラレルーシリアル変換するパラレルーシリアル (P S) 変換回路とを備えることを特徴とする O F D M 変調回路。

【請求項 2】 バースト先頭に付加された信号 S S 1 および S S 2 の区間において、受信信号からキャリア周波数誤差、O F D M シンボルタイミング、および信号 S S 1 と信号 S S 2 の位相差情報を検出し、それらを周波数補正信号、最適タイミング信号、および付加位相情報信号として出力する、付加位相判定機能付き同期回路と、受信信号を遅延させる遅延回路と、前記付加位相判定機能付き同期回路と遅延回路に接続され、周波数補正信号を入力して受信信号の周波数偏差を補正する周波数補正回路と、前記付加位相判定機能付き同期回路と周波数補正回路に接続され、キャリア周波数誤差が補正された受信信号を前記最適タイミング信号でシリアルーパラレル変換するシリアルーパラレル (S P) 変換回路と、前記 S P 変換回路に接続され、入力信号を高速フーリエ変換する高速フーリエ変換 (F F T) 回路と、前記 F F T 回路に接続され、入力信号を検波し、パラレルーシリアル変換する検波機能付きパラレルーシリアル (P S) 変換回路とを備えることを特徴とする O F D M 復調回路。

【請求項 3】 請求項 2 記載の O F D M 復調回路において、受信信号の電力を計算する自乗回路と、受信信号を遅延させる遅延回路と、前記遅延回路に接続され、受信信号と遅延信号を共役複素乗算操作によりバースト先頭の S S 1, S S 2 に付加された瞬時の位相シフト角を検出する瞬時位相シフト検出回路と、前記瞬時位相シフト検出回路に接続され、任意時間にわたり入力信号の移動平均値を計算する移動平均回路と、前記自乗回路と前記移動平均回路に接続され、最適タイミングを検出し、最適タイミング信号を出力するタイミング検出回路と、前

記移動平均回路およびタイミング検出回路に接続され、前記移動平均回路の出力および前記タイミング検出回路から得られる最適タイミング信号を入力し、S S 1 に附加された位相シフト量を検出する一方で、それを附加情報信号として出力する位相シフト検出回路と、前記移動平均回路と前記位相シフト検出回路に接続され、バースト先頭の S S 1 部分の位相シフトを取り除く位相シフト除去回路と、前記位相シフト除去回路に接続され、周波数誤差を検出し、これと逆位相となる周波数補正信号を

10 出力する周波数誤差推定回路と、で構成される附加位相判定機能付き同期回路を備えることを特徴とする O F D M 復調回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、デジタル無線通信で用いられる直交周波数多重 (O F D M : Orthogonal Frequency Division Multiplexing) 信号を処理する O F D M 信号変復調装置に係り、特に附加情報を伝送する際に用いて好適な O F D M 変調回路および O F D M 復調回路に関する。

【0 0 0 2】

【従来の技術】O F D M 変復調装置でバースト伝送する場合、図 5 に示すバーストフォーマットを用いたバースト同期法が有効である。図 5 における、同一繰り返しされたスタートシンボル (以下、S S) は、タイミング同期、キャリア周波数誤差補正、および差動符号化初期値のために用いられる。S S の区間以降は、ガードインターバル (G I) およびデータ (D A T A) で構成される O F D M シンボルが繰り返される (鬼沢、溝口、熊谷、高梨、守倉、"高速無線 L A N 用 O F D M 変調方式の同期系に関する検討"、信学技報、RCS97-210 参照)。

30 【0 0 0 3】従来の O F D M 変調装置を図 6 に示す。ここでは O F D M のサブキャリア数を 8 としている。インタリーブと誤り訂正符号化された送信信号は、先頭にユニークワードが付加された後、S P (シリアルーパラレル) 変換回路 6 0 1 によってサブキャリア分だけシリアルーパラレル変換される。そして差動符号化回路 6 0 2 ～ 6 0 9 によってサブキャリア毎に差動符号化される。差動符号化の初期値には S S メモリ回路 6 1 0 にある S

40 S を使用する。この場合、復調装置同期のために、2 個の同一の S S をバースト先頭に付加する。変調された信号は、I F F T (逆高速フーリエ変換) 回路 6 1 1 にて逆高速フーリエ変換される。そして P S (パラレルーシリアル) 変換回路 6 1 2 でパラレルーシリアル変換された後、ガードインターバル挿入、デジタルーアナログ変換等の処理がなされ、さらに周波数変換されて伝送される。

【0 0 0 4】従来の O F D M 復調装置を図 7 に示す。受信信号は A / D (アナログ / デジタル) 変換回路 7 0 1 でアナログ - デジタル変換された後、同期回路 7 0 2

と遅延回路 703 に入力される。同期回路 702 では受信信号の中の連続した SS より、送受信装置間のキャリアの周波数誤差と最適なタイミングを検出する。同期回路 702 の構成の一例を図 8 に示す。

【0005】図 8 に示す同期回路は、A/D 変換された受信信号の電力を計算する自乗回路 802 と、受信信号を遅延させる遅延回路 801 と、受信信号と、遅延回路 801 から出力された遅延信号とから共役複素乗算操作によりバースト先頭の 1 組の SS の位相回転角を検出する位相回転角検出回路 803 と、所定時間の入力信号の移動平均値を計算する移動平均回路 804 と、自乗回路 802 と移動平均回路 804 の出力信号に基づいて受信における最適タイミングを検出し、最適タイミング信号を出力するタイミング検出回路 805 と、移動平均回路 804 の出力信号に基づいて周波数誤差を検出し、これと逆位相となる周波数補正信号を出力する周波数誤差推定回路 806 とから構成されている。このような従来の同期回路については、上記文献“高速無線 LAN 用 OFDM 変調方式の同期系に関する検討”，T. M. Schmid and D. C. Cox, “Low-Overhead, Low-Complexity [Burst] Synchronization for OFDM”, ICC'96, PP. 1301-1306 等の文献にその動作原理が説明されている。

【0006】図 7 の遅延回路 703 は同期回路 702 で周波数偏差と最適タイミングが検出されるまで、受信信号を遅延させる。周波数補正回路 704 では検出した周波数偏差に応じた補正位相信号で受信信号を補正する。この補正された信号は SP (シリアル-パラレル) 変換回路 705 によって最適なタイミングでシリアル-パラレル変換された後、FFT (高速フーリエ変換) 回路 706 にて高速フーリエ変換される。さらに遅延検波回路 707～714 でサブキャリア毎に遅延検波された後、PS (パラレル-シリアル) 変換回路 715 でパラレル-シリアル変換されて、送信 (受信) データが抽出される。

【0007】

【発明が解決しようとする課題】従来方式では、バースト中の SS を差動符号化の初期値だけでなくキャリア周波数誤差補正とタイミング同期に使用しているため、連続して送信される SS は、同一の信号となっている。そのため、SS には情報を含めることができない、情報は全て SS に統く OFDM シンボルにて伝送される。

【0008】ところで、OFDM シンボルにて伝送される情報ビットのビット誤り確率の低減のため、インターリーブを組み合わせた誤り訂正方式がしばしば適用される。この場合、受信側では、情報ビットはディンターリーブおよび誤り訂正後に取り出すこととなり、通常、数十ビット以上に及ぶ遅延を伴う。

【0009】一方、受信装置では、バースト信号受信時に、できる限りバースト先頭部分で遅延を伴わずに情報を得たい場合がある。例えば、送信機および受信機間で制

御信号の交換を経ることなく、送信機側の判断において、変調方式や誤り訂正方式等を適応的に変更する場合である。しかしながら、従来の装置においては、これらの情報を OFDM シンボルで伝送する必要があり、特にインターリーブを組み合わせた誤り訂正方式では遅延が大きくなってしまうという課題があった。

【0010】そこで本発明は、バースト先頭部のスタートシンボルを兼ねる OFDM 信号同期用プリアンブルに付加情報を含められるようにすることで、受信側においてバースト先頭部分でできるだけ遅延を伴わずに付加情報を得ることができる OFDM 変調回路および復調回路を提供することを目的とする。

【0011】

【課題を解決するための手段】請求項 1 記載の発明は、OFDM (Orthogonal Frequency Division Multiplexing) 変復調装置において、差動符号化のスタートシンボル (SS) を記憶するスタートシンボル (SS) メモリ回路と、前記 SS メモリ回路に接続され、スタートシンボルを一定角度シフトさせる位相シフト回路と、前記 SS メモリ回路と前記位相シフト回路に接続され、バースト先頭部分においてある特定時間にわたり SS メモリ回路の出力を前記位相シフト回路により一定角度シフトさせて得られる信号 SS1 を出力し、引き続き前記 SS メモリ回路の出力信号 SS2 を一定時間にわたり出力する SS 信号切換回路と、前記 SS 信号切換回路に接続され、入力信号を OFDM の各サブキャリアに分配するシリアル-パラレル変換、およびバーストの先頭では SS1 と SS2 を順に出力し、その後 SS2 を初期値として以降の入力信号の差動符号化をおこなう、差動符号化機能付きシリアル-パラレル (SP) 変換回路と、前記差動符号化機能付き SP 変換回路に接続され、差動符号化された信号を逆高速フーリエ変換する逆高速フーリエ変換 (IFFT) 回路と、前記 IFFT 回路に接続され、入力信号をパラレル-シリアル変換するパラレル-シリアル (PS) 変換回路とを備えることを特徴とする OFDM 変調回路である (図 1 の構成に対応する)。

【0012】請求項 2 記載の発明は、OFDM (Orthogonal Frequency Division Multiplexing) 変復調装置において、バースト先頭に付加された信号 SS1 および SS2 の区間において、受信信号からキャリア周波数誤差、OFDM シンボルタイミング、および信号 SS1 と信号 SS2 の位相差情報を検出し、それらを周波数補正信号、最適タイミング信号、および付加位相情報信号として出力する、付加位相判定機能付き同期回路と、受信信号を遅延させる遅延回路と、前記付加位相判定機能付き同期回路と遅延回路に接続され、周波数補正信号を入力して受信信号の周波数偏差を補正する周波数補正回路と、前記付加位相判定機能付き同期回路と周波数補正回路に接続され、キャリア周波数誤差が補正された受信信号を前記最適タイミング信号でシリアル-パラレル変換

するシリアルーパラレル (S P) 変換回路と、前記 S P 変換回路に接続され、入力信号を高速フーリエ変換する高速フーリエ変換 (F F T) 回路と、前記 F F T 回路に接続され、入力信号を検波し、パラレルシリアル変換する検波機能付きパラレルシリアル (P S) 変換回路とを備えることを特徴とする O F D M 変調回路である (図 2 の構成に対応する)。

【0013】請求項 3 記載の発明は、請求項 2 記載の O F D M 変調回路において、受信信号の電力を計算する自乗回路と、受信信号を遅延させる遅延回路と、前記遅延回路に接続され、受信信号と遅延信号を共役複素乗算操作によりバースト先頭の S S 1, S S 2 に付加された瞬時の位相シフト角を検出する瞬時位相シフト検出回路と、前記瞬時位相シフト検出回路に接続され、任意時間にわたる入力信号の移動平均値を計算する移動平均回路と、前記自乗回路と前記移動平均回路に接続され、最適タイミングを検出し、最適タイミング信号を出力するタイミング検出回路と、前記移動平均回路およびタイミング検出回路に接続され、前記移動平均回路の出力および前記タイミング検出回路から得られる最適タイミング信号を入力し、S S 1 に付加された位相シフト量を検出する一方で、それを付加情報信号として出力する位相シフト検出回路と、前記移動平均回路と前記位相シフト検出回路に接続され、バースト先頭の S S 1 部分の位相シフトを取り除く位相シフト除去回路と、前記位相シフト除去回路に接続され、周波数誤差を検出し、これと逆位相となる周波数補正信号を出力する周波数誤差推定回路と、で構成される付加位相判定機能付き同期回路を備えることを特徴とする O F D M 変調回路である (図 3 の構成に対応する)。

【0014】

【発明の実施の形態】本発明の O F D M 変調装置の実施形態を図 1 ~ 3 に示す。図 1 は O F D M 変調装置であり、図 2 は O F D M 変調装置であり、図 3 は O F D M 変調装置に含まれる付加位相判定機能付き同期回路である。

【0015】図 4 に本発明で使用する O F D M 信号のバーストフォーマットを示す。バーストの先頭に第 1 のスタートシンボル S S 1 (以下、S S 1) と第 2 のスタートシンボル S S 2 (以下、S S 2) が付加されている。S S 1 は S S 2 に対して、すべての信号が 0 度を含んで一定角度だけ位相がシフトされている。また S S 2 の後にガードインターバル (G I) とデータ (D A T A) から構成される O F D M シンボルが繰り返される。

【0016】図 1 に本発明の O F D M 変調装置を示す。ここでは O F D M のサブキャリア数を 8 としている。差動符号化のための初期値は S S メモリ回路 1 0 に記憶されている。S S メモリ回路 1 0 から直接出力された S S 2 と、位相シフト回路 2 0 で S S 2 のすべてのシンボルを一定の角度シフトさせた S S 1 が S S 信号切換回路 3

0 に入力される。この時 S S 1 と S S 2 の間の位相差に制御情報などの付加情報を含める。変調時に 1 組のスタートシンボルに位相差を与え、復調時にこの位相差を検出することで、この位相差によって、送信装置から受信装置へと、例えば変調方式、誤り訂正方式等のバーストの制御に係る情報を伝達する点が本発明が最も特徴とする点である。制御情報の内容の具体例については後述する。

【0017】図 1 の S S 信号切換回路 3 0 は図 4 のバーストフォーマットの様にバーストの先頭部では S S 1 を出力し、それに続いて S S 2 を出力する。ここで、S S 1, あるいは S S 2 を出力している時間は、サブキャリアの数に等しいスタートシンボルビットを出力する時間である。差動符号化機能付き S P (シリアルーパラレル) 変換回路 4 0 は、送信データをサブキャリア分に S P (シリアルーパラレル) 変換し、S S 1, S S 2 をそのまま出力した後、S S 2 をスタートシンボルとしてサブキャリア毎に差動符号化する。差動符号化機能付き S P 変換回路 4 0 は、図 6 に示す S P 変換回路 6 0 1 と差動符号化回路 6 0 2 ~ 6 0 9 を組み合わせたものに対応する。このとき、図 6 のように S P 変換した後、サブキャリア毎に差動符号化する方法と、サブキャリア数間隔 (実施形態では 8) で差動符号化した後、S P 変換する方法がある。S S 1 は差動符号化には寄与せず、S P 変換されるのみである。差動符号化された信号は I F F T (逆高速フーリエ変換) 回路 5 0 にて逆高速フーリエ変換される。そして、P S (パラレルシリアル) 変換回路 6 0 でパラレルシリアル変換された後、図示していないディジタルーアナログ変換回路等によってディジタルーアナログ変換されて伝送される。

【0018】図 2 に本発明の O F D M 変調装置を示す。受信信号は付加位相判定機能付き同期回路 8 0 と遅延回路 7 0 に入力される。付加位相判定機能付き同期回路 8 0 は、バースト先頭に付加された信号 S S 1 および S S 2 の区間ににおいて、受信信号の S S 1 と S S 2 より、図 7 に示す従来の同期回路と同様にして送受信装置のキャリアの周波数誤差と最適な O F D M シンボルタイミングとを検出するとともに、さらに S S 1 に付加された付加位相を検出し、検出結果を判定し、それぞれ、周波数補正信号と最適タイミング信号と付加位相情報信号として出力する。遅延回路 7 0 は、付加位相判定機能付き同期回路 8 0 で上記の各信号が出力されるまで、受信信号を遅延させる。周波数補正回路 9 0 では検出したキャリア周波数誤差を示す周波数補正信号を基に、受信信号が有するキャリア周波数誤差を補正する。この周波数補正後の受信信号は、S P (シリアルーパラレル) 変換回路 1 0 0 によって最適な O F D M シンボルタイミングでシリアルーパラレル変換されて、F F T 回路 1 1 0 にて高速フーリエ変換される。検波機能付き P S 回路 1 2 0 では、その信号をサブキャリア毎に検波 (遅延検波または

同期検波が可能) し P S (パラレルシリアル) 変換して、データを抽出する。この検波機能付き P S 回路 1 2 0 は、図 7 に示す遅延位相検波回路 7 0 7 ～ 7 1 4 と P S 変換回路 7 1 5 を組み合わせたものに対応する。ただし、この時、図 7 のようにパラレル信号をサブキャリア毎に検波した後、P S 変換する方法と、P S 変換した後、サブキャリア数間隔(実施形態では 8) で検波する方法がある。

【0019】図 3 に、本発明の付加位相判定機能付き同期回路(図 2 の付加位相判定機能付き同期回路 8 0) の構成を示す。タイミング同期は、従来方式と同様に、遅延回路 8 1、自乗回路 8 2、瞬時位相シフト検出回路 8 3、移動平均回路 8 4、およびタイミング検出回路 8 5 によって検出し、最適タイミング信号として出力する。遅延回路 8 1、自乗回路 8 2、バースト先頭の S S 1、S S 2 の位相シフト角(位相差)を検出する瞬時位相シフト検出回路 8 3、移動平均回路 8 4、およびタイ

$$\theta = 0^\circ \quad \left(-45^\circ < \tan^{-1}(P) \leq 45^\circ \right) \quad (1)$$

$$\theta = 90^\circ \quad \left(45^\circ < \tan^{-1}(P) \leq 135^\circ \right) \quad (2)$$

$$\theta = 180^\circ \quad \left(135^\circ < \tan^{-1}(P) \leq 225^\circ \right) \quad (3)$$

$$\theta = 270^\circ \quad \left(225^\circ < \tan^{-1}(P) \leq 315^\circ \right) \quad (4)$$

【0021】本例の場合、上記位相シフト成分 θ の存在する像眼が付加情報として使用可能であり、付加情報信号として出力される。位相シフト除去回路 8 6 では信号 P から位相シフト θ を除去し(例えば、共役複素演算による逆位相シフト操作等により)、信号 P' を出力する。周波数誤差推定回路 8 8 では、P' より周波数誤差を推定し、その推定値に基づき周波数補正信号を出力する。

【0022】次に、付加情報信号に対応づける付加情報の内容の具体例についていくつか説明する。

【0023】(1) 誤り訂正方式の変更: 伝送路の変動する伝搬環境に応じて、誤り訂正のレートをダイナミックに変化させるために本発明の付加情報信号に誤り訂正のレートの意味付けを行う。例えば、S S 1 と S S 2 の間の位相シフト量 θ に付加情報を次のように対応付ける。

【0024】

- $\theta = 0$ 度の時: 誤り訂正のレート = 1/2,
- $\theta = 90$ 度の時: 誤り訂正のレート = 3/4,
- $\theta = 180$ 度の時: 誤り訂正のレート = 7/8.

【0025】このようにすることで上位レイヤで制御信号のやりとりをせずに誤り訂正のレートをダイナミックに変化させることが実現可能となる。

* ミング検出回路 8 5 は、それぞれ図 8 に示す遅延回路 8 0 1、自乗回路 8 0 2、位相回転角検出回路 8 0 3、移動平均回路 8 0 4、およびタイミング検出回路 8 0 5 に 対応するものである。キャリア周波数誤差を補正するための周波数補正信号を得るにあつては、まず、S S 1 と S S 2 の間の位相差を移動平均した信号 P を位相シフト検出回路 8 7 および位相シフト除去回路 8 6 に入力する。位相シフト検出回路 8 7 は、S S 2 に対して S S 1 に付加された位相シフト量を検出する一方で、それを付加情報信号として出力する。例えば、S S 2 に対する S S 1 の位相シフト量を $90^\circ \times N$ ($N = 0, 1, 2, 3$) とすると、位相シフト検出回路 8 7 では下式 (1) ～ (4) のルール(信号 P はベースバンド複素信号)により 4 通りの位相シフト成分 θ を検出する。

【0020】

【数 1】

10

30

40

50

【0026】(2) 変調方式の変更: 伝送路の変動する伝搬環境に応じて、変調方式をダイナミックに変化させるために本発明の付加情報信号に変調方式の意味付けを行う。例えば、S S 1 と S S 2 の間の位相シフト量 θ に付加情報を次のように対応付ける。

【0027】■ $\theta = 0$ 度の時: 変調方式 = 2 相 P S K (Phase Shift Keying: 位相変移変調),

■ $\theta = 90$ 度の時: 変調方式 = 4 相 P S K,

■ $\theta = 180$ 度の時: 変調方式 = 8 相 P S K,

■ $\theta = 270$ 度の時: 変調方式 = 16 QAM(Quadrature Amplitude Modulation: 直交振幅変調).

【0028】このようにすることで上位レイヤで制御信号のやりとりをせずに変調方式をダイナミックに変化させることが実現可能となる。

【0029】(3) バースト信号長の変更: 送受信データの信号量に応じて、バースト長を長くしたり短くしたりするために、本発明の付加情報信号にバースト長の意味付けを行う。例えば、S S 1 と S S 2 の間の位相シフト量 θ に付加情報を次のように対応付ける。

【0030】■ $\theta = 0$ 度の時: バースト長 = パターン 1 (最短長),

■ $\theta = 90$ 度の時: バースト長 = パターン 2,

■ $\theta = 180$ 度の時: バースト長 = パターン 3,

■ $\theta = 270$ 度の時：バースト長=パターン4（最大長）。

【0031】このようにすることで上位レイヤで制御信号のやりとりをせずにバースト長をダイナミックに変化させることが実現可能となる。

【0032】なお、前述の種種の変更はバースト信号の先頭部分に付加された情報を用いるため、後続するデータ部分を復調する前に適切な復調方式が判別でき、スマートな変更が可能となる。但し、何れの場合にも予め情報の対応付けをしておく必要がある。また変復調装置自体も種種の方式に対応した方が変更可能な構成とする必要がある。

【0033】なお、上記の構成は本発明の実施形態の一例を示したものであり、例えば、差動符号化の基準となるスタートシンボルを第2のスタートシンボルSS2に代えて第1のスタートシンボルSS1とすること、位相シフト回路20によってSS1に代えてSS2に位相差を与えるようにすること、付加情報に対応づけられる位相差の分解能を上記のものに代えて2以上の他の複数とすること等の変更が適宜可能である。

【0034】

【発明の効果】本発明では、バースト先頭部のスタートシンボルを兼ねるOFDM信号同期用プリアンブルに、位相シフトによる付加情報を含めることができる。その付加情報は、送信されたバースト制御関連情報として用いることができ、特に、デインターリーブや誤り訂正による遅延を伴うことなく、得られた情報をプリアンブル以降の処理に即座に反映させることができる。

【0035】また、発明による付加位相判定機能付き同期回路では、SS1とSS2の間の位相シフトを除去することができるため、SS1が位相シフトされた場合にも正確な周波数誤差を推定することができる。

【図面の簡単な説明】

【図1】 本発明の実施形態のFDM変調装置を示すブロック図である。

【図2】 本発明の実施形態のOFDM復調装置を示す

ブロック図である。

【図3】 本発明の実施形態の位相判定同期回路を示すブロック図である。

【図4】 本発明の実施形態によるバーストフォーマットを示す図である。

【図5】 従来技術のバーストフォーマットを示す図である。

【図6】 従来技術のOFDM変調装置を示すブロック図である。

10 【図7】 従来技術のOFDM復調装置を示すブロック図である。

【図8】 従来技術の同期回路を示すブロック図である。

【符号の説明】

100 スタートシンボル (SS) メモリ回路

20 位相シフト回路

30 SS信号切換回路

40 差動符号化機能付きシリアル-パラレル (SP) 変換回路

50 逆高速フーリエ変換 (IFFT) 回路

60 パラレル-シリアル (PS) 変換回路

70 遅延回路

80 付加位相判定機能付き同期回路

81 遅延回路

82 自乗回路

83 瞬時位相シフト検出回路

84 移動平均回路

85 タイミング検出回路

86 位相シフト除去回路

87 位相シフト検出回路

88 周波数誤差推定回路

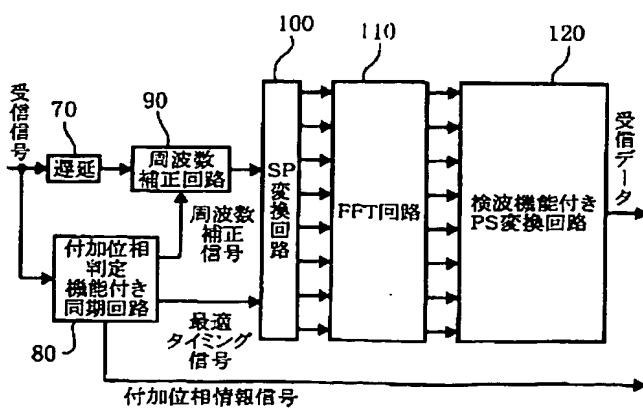
90 周波数補正回路

100 SP変換回路

110 高速フーリエ変換 (FFT) 回路

120 検波機能付きPS変換回路

【図2】



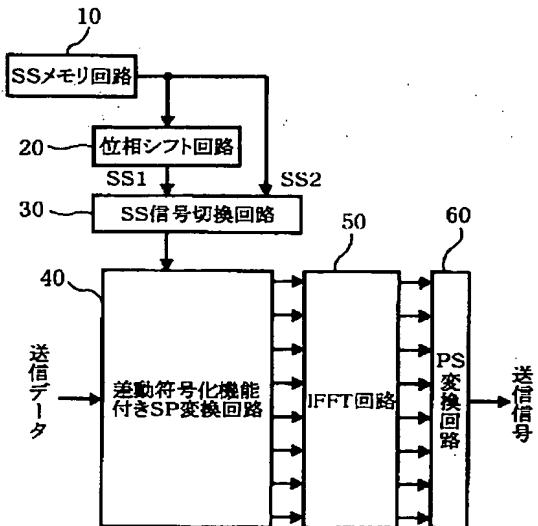
【図4】



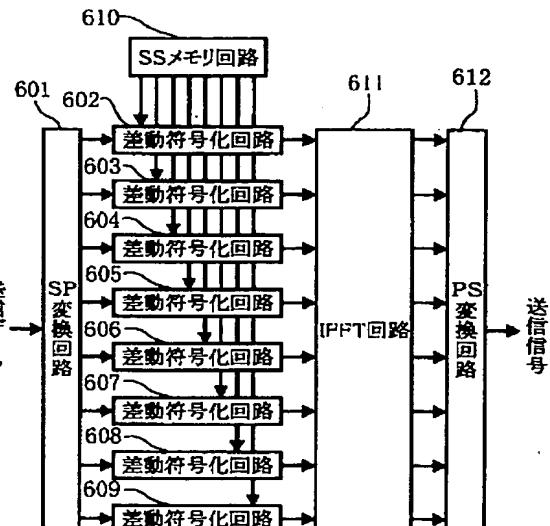
【図5】



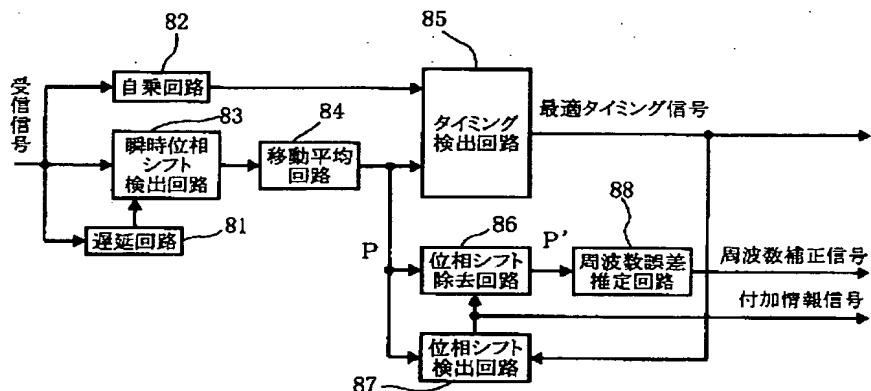
【図 1】



【図 6】

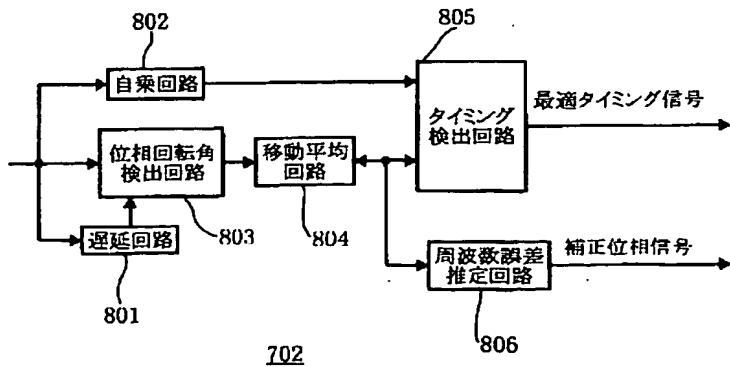


【図 3】



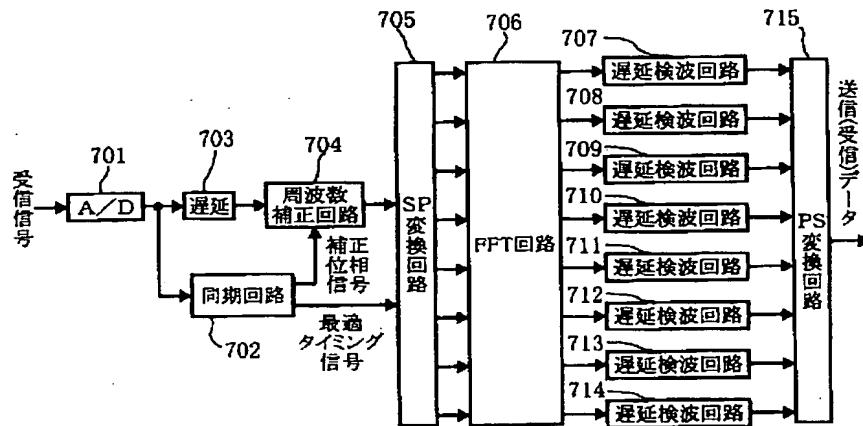
80

【図 8】



702

【図 7】



【手続補正書】

【提出日】平成11年7月19日 (1999. 7. 19)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正内容】

【請求項1】 差動符号化のスタートシンボル (S S) を記憶し、スタートシンボルとして信号 S S 2 を出力するスタートシンボル (S S) メモリ回路と、前記 S S メモリ回路に接続され、バーストに付加する付加情報に対応した角度に、前記信号 S S 2 に対して信号 S S 1 を角度シフトさせる位相シフト回路と、前記 S S メモリ回路と前記位相シフト回路に接続され、バースト先頭部分においてある特定時間にわたり、位相シフト回路から入力される、角度シフト後の前記信号 S S 1 を出力し、引き続き前記 S S メモリ回路から出力される信号 S S 2 を一定時間にわたり出力する S S 信号切換回路と、前記 S S 信号切換回路に接続され、入力信号を O F D M の各サブキャリアに分配するシリアルーパラレル変換、およびバーストの先頭では信号 S S 1 と信号 S S 2 を、順に差動符号化せずに出力し、その後信号 S S 2 を初期値として、順次、前記入力信号からサブキャリア毎に分配された信号の差動符号化をおこなう、差動符号化機能付きシリアルーパラレル (S P) 変換回路と、前記差動符号化機能付き S P 変換回路に接続され、サブキャリア毎に差動符号化された信号を逆フーリエ変換する逆フーリエ変換 (I F F T) 回路と、前記 I F F T 回路に接続され、前記逆フーリエ変換された信号をパラレル-シリアル変換して出力するパラレル-シリアル (P S) 変換回路とを備えることを特徴とす

る O F D M 变调回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項2

【補正方法】変更

【補正内容】

【請求項2】 入力されるバースト先頭に付加されたスタートシンボルの信号 S S 1 および信号 S S 2 の区間において、バーストに付加される付加情報に対応した角度に、前記信号 S S 2 に対して角度シフトされた前記信号 S S 1 と、前記信号 S S 2 との間の位相差の移動平均により、前記付加情報と送受信間における周波数偏差とを検出し、これらに基づき、前記信号 S S 1 と前記信号 S S 2 との角度シフトで表される付加位相情報信号及び周波数誤差補正信号を出力し、また、入力されるスタートシンボル毎の、移動平均値と電力とにに基づき最適なシンボルタイミングを検出し、最適タイミング信号として出力する、付加位相判定機能付き同期回路と、受信信号を遅延させる遅延回路と、前記付加位相判定機能付き同期回路と遅延回路に接続され、前記周波数誤差補正信号を入力して受信信号の周波数偏差を補正する周波数補正回路と、前記付加位相判定機能付き同期回路と周波数補正回路に接続され、キャリア周波数誤差は補正された受信信号を前記最適タイミング信号でシリアルーパラレル変換するシリアルーパラレル (S P) 変換回路と、前記 S P 変換回路に接続され、入力信号を高速フーリエ変換する高速フーリエ変換 (F F T) 回路と、前記 F F T 回路に接続され、入力信号を検波し、パラレル-シリアル変換する検波機能付きパラレル-シリアル (P S) 変換回路と、

を備えることを特徴とするO F DM復調回路。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】

【課題を解決するための手段】請求項1記載の発明は、O F DM (Orthogonal Frequency Division Multiplexing) 変復調装置において、差動符号化のスタートシンボル (S S) を記憶し、スタートシンボルとして信号 S S 2 を出力するスタートシンボル (S S) メモリ回路と、前記 S S メモリ回路に接続され、バーストに付加する付加情報に対応した角度に、前記信号 S S 2 に対して信号 S S 1 を角度シフトさせる位相シフト回路と、前記 S S メモリ回路と前記位相シフト回路に接続され、バースト先頭部分においてある特定時間にわたり、位相シフト回路から入力される、角度シフト後の前記信号 S S 1 を出力し、引き続き前記 S S メモリ回路から出力される信号 S S 2 を一定時間にわたり出力する S S 信号切換回路と、前記 S S 信号切換回路に接続され、入力信号を O F DM の各サブキャリアに分配するシリアル-パラレル変換、およびバーストの先頭では信号 S S 1 と信号 S S 2 を、順に差動符号化せずに出力し、その後信号 S S 2 を初期値として、順次、前記入力信号からサブキャリア毎に分配された信号の差動符号化をおこなう、差動符号化機能付きシリアル-パラレル (S P) 変換回路と、前記差動符号化機能付き S P 変換回路に接続され、サブキャリア毎に差動符号化された信号を逆フーリエ変換する逆フーリエ変換 (I F F T) 回路と、前記 I F F T 回路に接続され、前記逆フーリエ変換された信号をパラレルシリアル変換して出力するパラレルシリアル (P S) 変換回路とを備えることを特徴とするO F DM変調回路

(図1の構成に対応する)。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】請求項2記載の発明は、O F DM (Orthogonal Frequency Division Multiplexing) 変復調装置において、入力されるバースト先頭に付加された、スタートシンボルの信号 S S 1 および信号 S S 2 の区間において、バーストに付加される付加情報に対応した角度に、前記信号 S S 2 に対して角度シフトされた前記信号 S S 1 と、前記信号 S S 2 との間の位相差の移動平均により、前記付加情報と送受信間における周波数偏差とを検出し、これらに基づき、前記信号 S S 1 と前記信号 S S 2 との角度シフトで表される付加位相情報信号及び周波数誤差補正信号を出し、また、入力されるスタートシンボル毎の、移動平均値と電力とにに基づき最適なシンボルタイミングを検出し、最適タイミング信号として出力する、付加位相判定機能付き同期回路と、受信信号を遅延させる遅延回路と、前記付加位相判定機能付き同期回路と遅延回路に接続され、前記周波数誤差補正信号を入力して受信信号の周波数偏差を補正する周波数補正回路と、前記付加位相判定機能付き同期回路と周波数補正回路に接続され、キャリア周波数誤差は補正された受信信号を前記最適タイミング信号でシリアル-パラレル変換するシリアル-パラレル (S P) 変換回路と、前記 S P 変換回路に接続され、入力信号を高速フーリエ変換する高速フーリエ変換 (F F T) 回路と、前記 F F T 回路に接続され、入力信号を検波し、パラレルシリアル変換する検波機能付きパラレルシリアル (P S) 変換回路とを備えることを特徴とするO F DM復調回路である

(図2の構成に対応する)。

フロントページの続き

(72)発明者 望月 伸晃

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72)発明者 梅比良 正弘

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

F ターム(参考) 5K004 AA01 BA01 BA02

5K022 DD13 DD17 DD19 DD22 DD23
DD32 DD33